

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-089999

(43) Date of publication of application : 04.04.1997

(51)Int.Cl.

GO1R 31/28  
GO1R 31/26

(21)Application number : 07-274663

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 28.09.1995

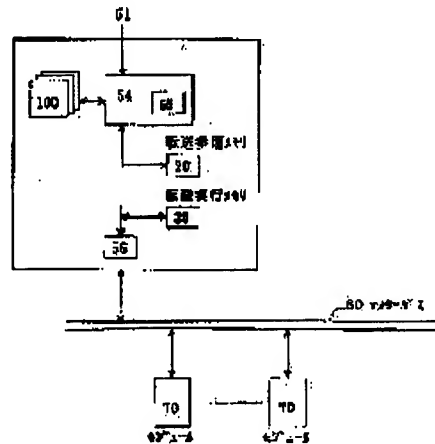
(72)Inventor : TAKAKUWA MAKI

## (54) SEMICONDUCTOR TESTING DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To eliminate a wasteful redundant transfer operation and realize the higher speed of test by transferring only the data differed in set data value between this time and the last time.

**SOLUTION:** All the initial set data of a table 100 is outputted to a tester bus 60, and also stored in a transfer reference memory 20. On and after it, the same content is written, renewed and stored in the memory 20 interlockingly with the output operation to a tester bus I/F 56. A CPU 54 receives a test condition setting starting signal 51, clears a transfer number counter 55, and then reads the set data of the map 100 to be reset and the reference data of the memory 20 corresponding thereto to compare both the data. When they are not coincident, the set data of the map 100 is written in a transfer execution memory 30 to add 1 to the counter 55. Thereafter, the CPU 54 successively outputs the differential set data from the head address of the memory 30 to the address area of the value of the counter 55 in order through the I/F 56 to execute the set renewal. Thus, the transfer time can be shortened.



## LEGAL STATUS

[Date of request for examination] 08.03.2001

[Date of sending the examiner's decision of rejection] 27.07.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-89999

(43) 公開日 平成9年(1997) 4月4日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	H
31/26			31/26	G

審査請求 未請求 請求項の数4 F D (全 6 頁)

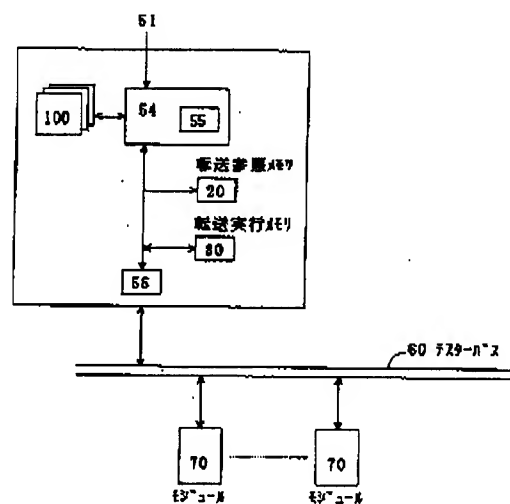
(21) 出願番号	特願平7-274663	(71) 出願人	390005175 株式会社アドバンテスト
(22) 出願日	平成7年(1995) 9月28日		東京都練馬区旭町1丁目32番1号
		(72) 発明者	高桑 真樹
			東京都練馬区旭町1丁目32番1号 株式会 社アドバンテスト内

(54) 【発明の名称】 半導体試験装置

## (57) 【要約】

【課題】 本発明は、初回の初期化設定以後のDUT試験条件の転送設定において、前回設定データ値と今回設定データ値が異なるデータのみ転送実行、即ち差分転送制御手段を設けて、無駄な冗長転送動作を無くして高速化を実現する。

【解決手段】 以前の被試験デバイスの試験条件を変える複数設定データと、今回設定するの複数設定データの中で、以前のテストバスアドレスと同一の設定データを除いた設定データをテストバス60を介して送出する差分転送処理手段を設ける。



(2)

特開平9-89999

1

## 【特許請求の範囲】

【請求項1】 複数モジュールとテスターコントローラ間をテストバスでインターフェースし、該テストバスを介して被試験デバイスの試験条件である複数設定データを各モジュールに送出する半導体試験装置において、

以前の試験条件を変える複数設定データと、今回設定するの複数設定データの中で、以前のテストバスアドレスと同一の設定データを除いた設定データをテストバスを介して送出する差分転送処理手段を設け、

10 以上を具備していることを特徴とした半導体試験装置。

【請求項2】 複数モジュールとテスターコントローラ間をテストバスでインターフェースし、該テストバスを介して被試験デバイスの試験条件である複数設定データを各モジュールに送出する半導体試験装置において、

以前の試験条件を変える複数設定データと、今回設定するの複数設定データの中で、以前のテストバスアドレスと同一の設定データを除いた設定データをテストバスを介して送出する差分転送制御回路手段を設け、

20 以上を具備していることを特徴とした半導体試験装置。

【請求項3】 差分転送処理手段は、テストバスに送出した設定データと同一内容を格納する転送参照メモリを設け、該参照メモリの参照データと今回の設定データとを順次比較し、不一致の場合にテストバスへ該設定データを送出する差分転送制御をCPUに設け、

30 以上を具備していることを特徴とした請求項1記載の半導体試験装置。

【請求項4】 差分転送制御回路手段は、テストバスに送出した設定データと同一内容を格納する転送参照メモリを設け、

該参照メモリの参照データと今回設定データとを比較する比較手段を設け、

該比較手段からの不一致信号を受けて、テストバスへ該設定データを送出する制御部を設け、

40 以上を具備していることを特徴とした請求項3記載の半導体試験装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体試験装置

(ICT)において、多数の試験条件の繰り返し設定動作時間の短縮化に関する。

【0002】

【従来の技術】ICTにおいて、被試験デバイス(DUT)の各種試験は、各試験項目毎に試験条件を順次変えながら試験実施する。図5に、この試験条件を変える設定データの転送構成概要図を示す。構成は、テスターコントローラ50と、テストバス60と、複数のモジュール70とで成る。テスターコントローラ50は、DU

2

T試験の制御を主に制御するコントローラであり、本発明に係る内部構成部分は、テーブルマップ100群と、CPU54と、テストバスI/F56とで成る。

【0003】各試験項目毎に試験条件の変更内容は、テーブルマップ100に格納されていて、これをテストバス60経由で各モジュール70に送出する形態で実施される。このテーブルマップ100の一例としては、図6の設定データ配列構造図に示すように、テストバス60に与えるN(例えば24)ビットアドレス情報と、このアドレスに与える32ビット命令コードである設定データ情報の配列データで成る。

【0004】テスターコントローラ50内のCPU54は、専用の高速CPUであり、DUT試験条件の変更の都度、試験を一時停止して、テーブルマップ100群から試験項目に対応したテーブルマップデータを順次テストバスI/F56に与えてテストバス60を介して、各所にある対応する複数モジュール70に転送設定更新し、その後試験を続行する。この繰り返しにより、全試験項目のデバイス試験を実施する。

【0005】テストバスI/F56は、CPU54の内部バスとテストバス60とのRD/WR変換用インターフェース回路である。ここでテストバス60は、各所に分散して存在するモジュール70に数十mもの長いケーブルで接続され、8ビットデータ単位でシリアル転送するバス構造である。

【0006】ところで、上記で説明した設定データの従来の転送方式では、冗長転送期間を有している。即ち、初回の初期化設定以後は、転送設定するテーブルマップ100のデータ内容の多くが更新すべき設定データでは無い。この結果、前回と同一設定データの場合においては、無駄な転送設定であり冗長転送になる。しかも、この転送期間は、DUT試験が一時停止している状態であるから、この冗長転送期間はデバイス試験のスループットの低下要因ともなっている。

【0007】

【発明が解決しようとする課題】上記説明のように、初回の初期化設定以後のDUT試験条件の変更は、転送設定するテーブルマップ100のデータ内容全てが新たな設定データでは無く、無駄な転送、即ち冗長転送であり、しかもこの転送はプログラムのロード時間の長期化とデバイス試験時間が長くなってスループットの低下要因にもなり好ましくない。

【0008】そこで、本発明が解決しようとする課題は、初回の初期化設定以後のDUT試験条件の転送設定において、前回設定データ値と今回設定データ値が異なるデータのみ転送実行、即ち差分転送制御手段を設けて、無駄な冗長転送動作を無くして高速化を実現することを目的とする。

【0009】

【課題を解決するための手段】上記課題を解決するため

50

(3)

特開平9-89999

3

に、本発明の構成では、以前の被試験デバイスの試験条件を変える複数設定データと、今回設定するの複数設定データの中で、以前のテストバスアドレスと同一の設定データを除いた設定データをテストバス60を介して送出する差分転送処理手段を設ける構成手段とする。ここで、差分転送処理手段としては、テストバス60に送出した設定データと同一内容を格納する転送参照メモリ20を設け、参照メモリの参照データと今回のテーブルマップ100の設定データとを順次比較し、不一致の場合にのみ実際にテストバスI/F56を起動して

テストバス60へ設定データを送出する差分転送制御をCPU54に設ける構成手段がある。これにより、複数モジュール70とテストコントローラ50間をテストバス60でインターフェースし、テストバス60を介して被試験デバイスの試験条件である複数設定データを各モジュール70に送出する半導体試験装置において、無駄な冗長転送動作を無くして高速化を実現する。

【0010】また、以前の被試験デバイスの試験条件を変える複数設定データと、今回設定するの複数設定データの中で、以前のテストバスアドレスと同一の設定データを除いた設定データをテストバス60を介して送出する差分転送制御回路手段を設ける構成手段がある。ここで、差分転送制御回路手段としては、テストバス60に送出した設定データと同一内容を格納する転送参照メモリ20を設け、参照メモリの参照データと今回テーブルマップ100の設定データとを比較する比較手段（比較器42）を設け、比較手段（比較器42）からの不一致信号を受けて、実際にテストバスI/F56を起動してテストバス60へ設定データを送出する制御部44を設ける構成手段がある。

【0011】

【発明の実施の形態】以下に本発明の実施の形態を実施例と共に詳細に説明する。

【0012】

【実施例】

（実施例1）本発明は、テストコントローラ50内に、前回設定データを保存する転送参照メモリ20を設け、この参照データと今回送るべきテーブルマップ100の設定データとを順次比較し、不一致の場合にのみ実際にテストバスI/F56を起動してテストバス60へ設定データを送出することで、冗長な転送動作を削除した差分転送制御手段を追加して設けた方式である。

【0013】構成は、図1に示すように、従来のテストコントローラ50構成に対して、前回設定データを保存する転送参照メモリ20と、前回との比較結果で不一致の設定データを格納する転送実行メモリ30と、差分転送制御をする制御手段をCPU54に設けた構成で成る。

【0014】転送参照メモリ20は、テストバス60のN（例えば24）ビットアドレス空間であるMワード

4

容量で、ワード幅は32ビットのメモリを設ける。即ち、図3のメモリ構造図に示すように、図6に示すテーブルマップの中で32ビットの設定データ情報部分をそのまま格納する。

【0015】転送実行メモリ30は、テストバス60へ更新すべき設定データである差分設定データをまとめて格納するメモリであり、少なくとも初期設定用テーブルマップ100以外の試験条件変更テーブルマップ100のメモリ容量を設け、データ幅は図6に示すテーブルマップ100と同様のX（即ちN+32）ビット幅単位のデータで格納する。

【0016】次に実際の試験手順での転送動作例を説明する。まず、DUT試験の当初においては、初期設定する初期設定用テーブルマップ100の設定データが全てテストバス60に出力され、同時に転送参照メモリ20にも格納される。このときはCPU54は、テーブルマップ100の設定データと転送参照メモリ20の参照データとの比較動作を行わない。以後は、転送参照メモリ20への格納は、テストバスI/F56への出力動作と連動して同一内容が書き込み更新保存される。

【0017】これ以後の試験条件変更するテーブルマップ100の設定データに対して、CPU54は、差分転送処理を実行する。即ち、次の試験条件設定起動信号51を受けて、内部に設定データ個数を計数する転送個数カウンタ55を設けてこれをクリアした後、次に再設定する試験条件変更テーブルマップ100の設定データを順次読みだし、このアドレス情報に対応する転送参照メモリ20アドレスの参照データを読みだし、両者の設定データ情報を比較し、不一致の場合に、このテーブルマップ100の設定データを転送実行メモリ30に書き込み、転送個数カウンタ55を+1する。これによって転送実行メモリ30には、次にテストバス60に出力すべき差分の設定データのみが格納されることとなる。この後、CPU54は、転送実行メモリ30の先頭アドレスから転送個数カウンタ55の値のアドレス領域迄の差分設定データを、順番にテストバスI/F56を経由して実際のテストバス60に順次出力することで、設定更新を実施する。これらの差分転送制御手段を設けることによって、無駄な冗長転送動作が無くなり、転送時間を短縮して高速化できる。

【0018】（実施例2）本発明は、CPU54内部バスと外部のテストバス60のバス転送速度の大きな違いに着目し、CPU54内部バスとテストバスI/F56の間に差分転送回路40を挿入して設け、CPU54から高速で送られてくるテーブルマップ100の全設定データを受けて、以前の設定データとを比較し、不一致の場合にのみテストバスI/F56を起動してテストバス60へこの設定データを実際に送出することで、外部のテストバス60の冗長な転送動作を削除した差分転送制御手段としている。

(4)

特開平9-89999

5

【0019】差分転送回路40の構成は、図2に示すように、従来のテスターコントローラ50構成に対して、転送参照メモリ20と比較器42と、制御部44とで成る。転送参照メモリ20は、実施例1と同様に、設定データを保存更新するメモリである。比較器42は、差分検出用比較器であり、CPU54から高速で送られてくるテーブルマップ100の全設定データを順次受けて、この中の設定データ情報と、この中のアドレス情報に対応する転送参照メモリ20アドレスの前回設定データ内容とを比較し、不一致の場合に不一致信号を制御部44に供給する。

【0020】制御部44では、前記不一致信号を受けて、テスターバスI/F56を起動して、該設定データをテスターバス60へ送出させる。ただし、当初の初期化設定動作時は、前記不一致信号は無視しテスターバスI/F56は常時起動状態にする。

【0021】ところで、CPU54側のデータ転送速度はDMA転送では0.1μ秒程度であり、他方テスターバス60の命令コード転送速度は、8ビットデータ単位のシリアル転送方式のバスである為、およそ0.8μ秒程度かかる。この結果、従来の冗長転送部分の転送時間が例えば1/8に短縮でき高速化できることとなる。

【0022】（応用例）上記実施例1の説明では、転送参照メモリ20の容量は、テスターバス60のNビットアドレス空間分であるMワード容量を設ける場合で説明していたが、テーブルマップに格納されるアドレス情報は特定のアドレス空間である場合が多く、所望により、この特定アドレス空間のメモリ容量を設ける構成としても良い。

【0023】また上記実施例1の説明では、転送実行メモリ30を設けて、一旦このメモリに実行すべき設定データを格納する例で説明していたが、所望により、この転送実行メモリ30を削除し、次の試験条件設定時に順次処理してテスターバス60に送出しても良い。

【0024】また上記実施例1の説明では、CPU54は、次の試験条件設定起動信号51を受けて、処理を起動し、転送実行メモリ30に格納する例で説明していたが、所望により、次の試験条件設定起動信号51以前に、予め処理する実施形態としても良い。この場合は、デバイス試験と並行して実施するので、転送実行メモリ30に格納する処理時間を軽減できる。

【0025】また上記実施例1、2の説明では、変更のある設定データを検出し、この設定データのみをテスターバス60に送出する例で説明していたが、設定データの中には変更の無い設定データを含んでシーケンシャルに送出すべき形式のものもある。これに対応する為に、図4のテーブルマップ100の設定データ配列構造図に示すように、タグビットを追加して付与しておき、このタグの有無により、無条件でテスターバス60に送出すべきか否かを制御可能にして実施例1の処理、あるいは

6

実施例2の回路を設けて実現する構成としても良い。

【0026】

【発明の効果】本発明は、以上説明したように構成されているので、下記に記載されるような効果を奏する。実施例1、2の転送参照メモリ20は、以前にテスターバス60に送出した設定データ内容を格納して参照用データとしての役割を持つ。実施例1の転送実行メモリ30は、更新設定すべき設定データ、即ち差分設定データをまとめて格納する役割を持つ。

【0027】実施例1の差分転送処理を実行するCPU54は、試験条件変更テーブルマップ100の設定データ内容と、このアドレス情報に対応する転送参照メモリ20アドレスの参照データを比較し、更新すべき設定データのみを抽出処理する作用を持ち、また、更新すべき設定データをテスターバス60に出力する作用を持ち、これにより差分転送処理を実現する。

【0028】実施例1において、CPU54に今回送るべきテーブルマップ100の設定データと、以前に送出した設定データを比較し、同一設定データの場合は、テスターバス60の動作を実行させない差分転送制御処理手段を設けることにより、テスターバス60の動作時間を削減でき、これにより冗長転送時間の短縮が計れる利点が得られる。

【0029】実施例2において、CPU54内部バスとテスターバスI/F56の間に差分転送回路40を挿入して設けた差分転送制御回路手段では、同一設定データの場合は、テスターバス60の動作を実行させないことにより、比較的低速なテスターバス60の動作時間を削減でき、これにより冗長転送時間部分が数分の1程度に短縮高速化できる効果が得られる。

【0030】これらにより、以前設定データ値と今回設定データ値が異なるデータのみ転送、即ち差分転送制御が実現でき、従来のような無駄な冗長転送動作を無くして高速化が実現できる利点が得られる。

【図面の簡単な説明】

【図1】本発明の、冗長な転送動作を削除した差分転送処理構成図である。

【図2】本発明の、冗長な転送動作を削除した差分転送ブロック構成図である。

【図3】本発明の、転送参照メモリ20の参照データ配列構造図である。

【図4】本発明の、タグビットを付加したテーブルマップ100の設定データ配列構造図である。

【図5】従来の、試験条件を変えるテーブルマップ100の設定データの転送を説明する構成概要図である。

【図6】テスターバスに送出するテーブルマップ100の設定データの配列図例である。

【符号の説明】

20	転送参照メモリ
30	転送実行メモリ

(5)

特開平9-89999

7

40 差分転送回路

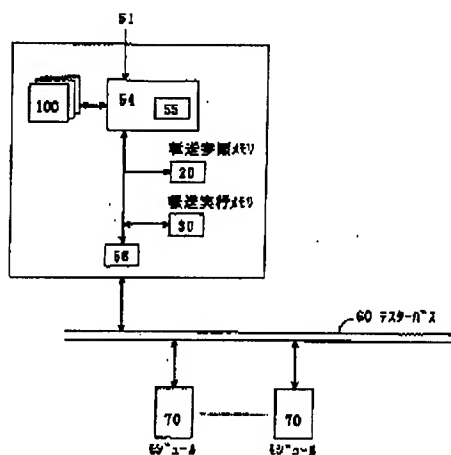
42 比較器

44 制御部

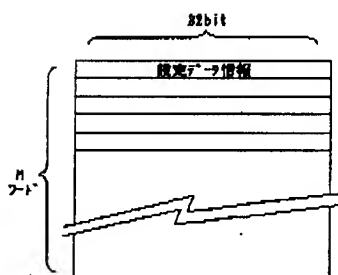
50 テスターコントローラ

51 試験条件設定起動信号

【図1】



【図3】



8

\* 54 CPU

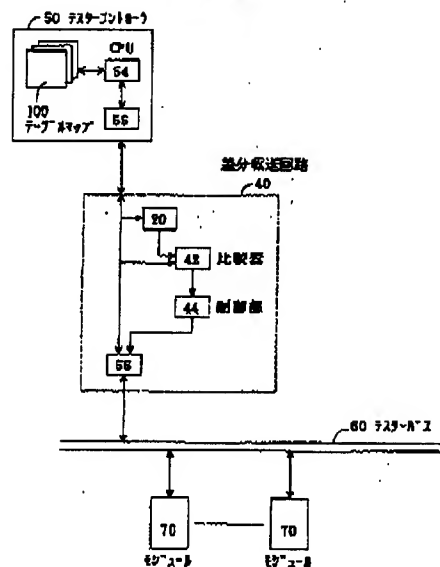
55 転送個数カウンタ

60 テスターバス

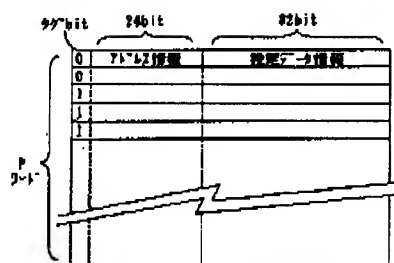
70 モジュール

\* 100 テーブルマップ

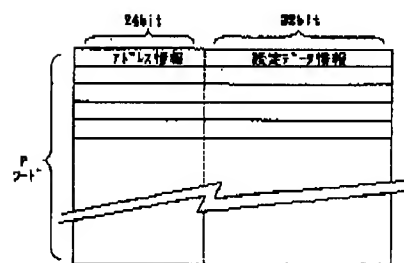
【図2】



【図4】



【図6】



(6)

特開平9-89999

【図5】

